

# MEMS/FED Packaging 기술 동향 (Ⅱ)

## (기판 접합 공정 중심으로)

실리콘 웨이퍼를 비롯한 기판 접합 공정(wafer bonding technology)은 MEMS(Micro-electromechanical System) 구조물의 제작과 packaging에 널리 이용되고 있으며, 최근에는 전계 방출 표시기(Field Emission Display : FED)를 비롯한 진공 마이크로 전자 소자(vacuum microelectronic devices)들의 고진공 packaging에도 활용되고 있다. 본 고에서는 MEMS와 FED 분야에서 최근 그 응용도가 더욱 부각되고 있는 기판 접합 공정과 이를 이용한 밀봉 및 packaging 공정에 관하여 기술하고자 한다.

자료제공 : 주병권, 오명환  
(KIST 정보재료·소자연구센터)

### 기판 접합을 이용한 밀봉/실장 기술

전자 소자의 제조는 IC(Integrated Circuitry) 제조 공정-packaging (bonding, wafer scribing, lead attachment, encapsulation)-측정(전기적 성능 및 package 평가)의 3 단계로 진행된다. 이때 packaging은 최소한 네 가지 역할을 하게 되는데, 즉 신호 재분배 (signal redistribution), 역학적 지지(mechanical support), 전력 분배(power distribution), 그리고 열 관리(thermal management) 등이 이에 해당한다. 신호 재분배의 경우 IC 상의 조밀한 전기적 연결을 PWB(Printed Wiring Board) 등과 같은 기판 상으로 분배시키는 것을 의미하며, 전력 분배 또한 이와 유사한 기능으로 보다 내구성이 강한 전기적 연결을 뜻한다. 역학적 지지는 내구성, 응력 완화, 외부 환경으로부터의 보호 등의 기능을 제공하며, 열 관리는 소자의 수명 유지를 위한 열 전달 체계를 일컫는다. 표

표 1. IC 및 MEMS에 있어서 packaging/연결 수준 체계

Level	Element	Interconnected by
Level 0	Transistor within IC or Resonator in a micromachine	IC metallization
Level 1	ICs, discrete components such as a Si/grass pressure sensor sandwich	Package leadframes, single-chip or multi-chip module
Level 2	Single- and multi-chip packages (a pressure sensor in a TO header)	Printed wiring boards
Level 3	Printed wiring boards	Connectors/backplanes (busses)
Level 4	Chassis or box	Connectors/cable
Level 5	System itself (a computer or a gas alarm)	



1은 IC와 MEMS에 있어서 packaging 수준을 비교한 것으로 이때 packaging level은 그림 1을 일러로 설명될 수 있다.

그림 1(a)의 IC계에서 L0(level 0)는 금속 박막 등에 의한 chip 상에서의 연결이고, L1은 chip과 carrier간의 연결, 즉 IC에서는 chip-leadframe 연결, 압력 센서 등에서는 센서 chip-유리 supporter 연결이 이에 해당한다. L2의 경우 IC chip이 탑재된 leadframe을 PWB에 배치하거나 유리 기판과 접합된 센서 chip을 TO header 상에 탑재시키는 것에 해당한다. 다음 단계인 L3, L4, L5 등은 PWB와 같은 card들이나 TO header들간의 연결, main board 상의 배치, 그리고 cable등을 통한 시스템간의 연결을 의미한다. MEMS 계의 경우를 실리콘 압력 센서를 대상으로 하여 그림 1(b)에 보였는데, 다이어프램 상에서의 전기적 연결(L0), 실리콘-유리 지지부 간의 접합(L1), 그리고 TO header 상의 탑재(L2) 단계가 L0~L2 수준에 해당됨을 나타내며, 접합은 L0와 L1 수준의 packaging에 적용됨을 알 수 있다.

### 표면 미세 가공의 적용

L0 및 L1 수준의 packaging에 있어서 MEMS 적용 범위는 주로 chip 상에서의 소자간 전기적 연결 및 이의 밀봉으로 이는 접합이 아닌 표면 미세 가공 기술(surface micromachining technology)로도 가능하다. 특히 밀봉과 관련한 경우 이는 반응성 밀봉 기술(reactive sealing technique)로도 알려져 있는데, 현재까지 여러 방법들이 제안되고 있다. 예를 들어, 열 산화를 이용한 방법, LPCVD에 의한 밀봉용 막의 증착에 의한 방법, 침투성있는 다결정 실리콘 창을 이용하는 방법, epi-실리콘 층을 이용하는 방법, 그리고 웨이퍼-웨이퍼간의 전달 방법 등을 들 수 있다.

그림 1. IC(a) 및 MEMS-실리콘 압력 센서(b)에 있어서 packaging/연결 수준 체계

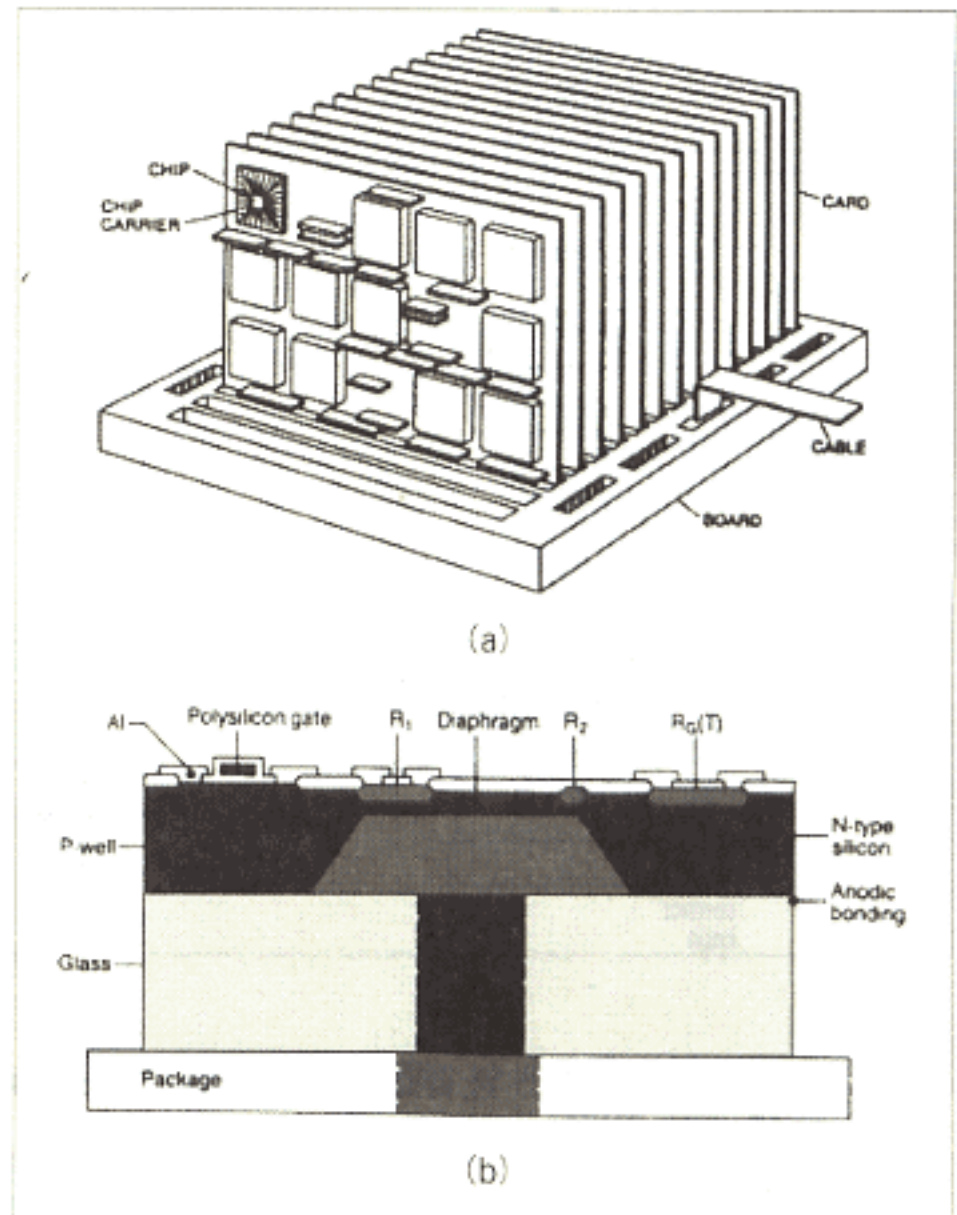
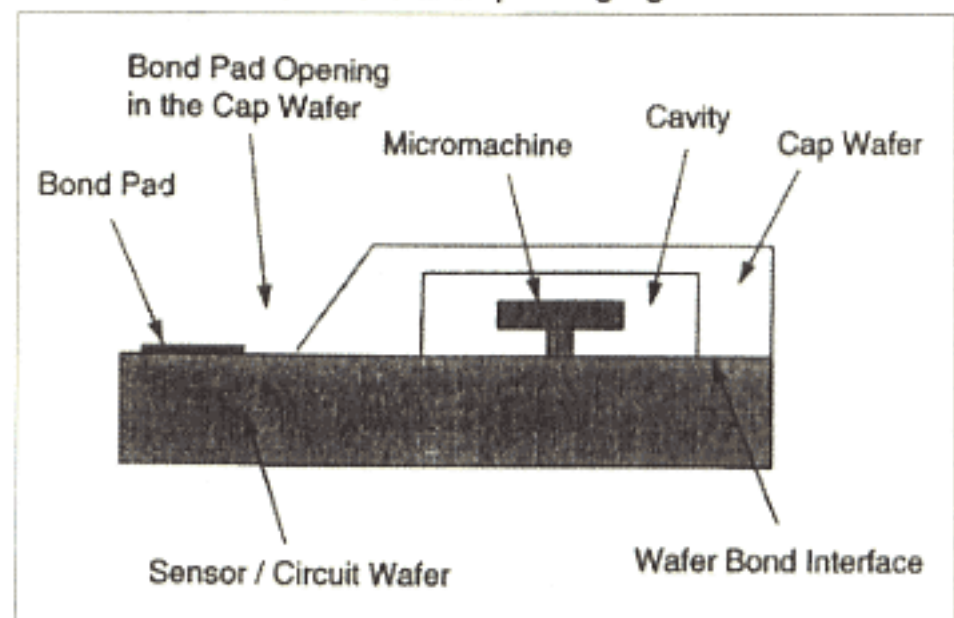


그림 2. MEMS 구조체의 밀봉/packaging



### 접합 기술의 적용

기판 집합에 의한 밀봉 및 packaging은 전술하였듯이 wafer-level packaging을 특징으로 하고 있으며, 그림 2에 보인 바와 같이 캡슐형 밀봉 구조의 형성과 내부 구조체와 외부 pad 간의 전기적 연결을 주된 목표로 하고 있다.



그림 3. 접합용 정렬 장치의 구조

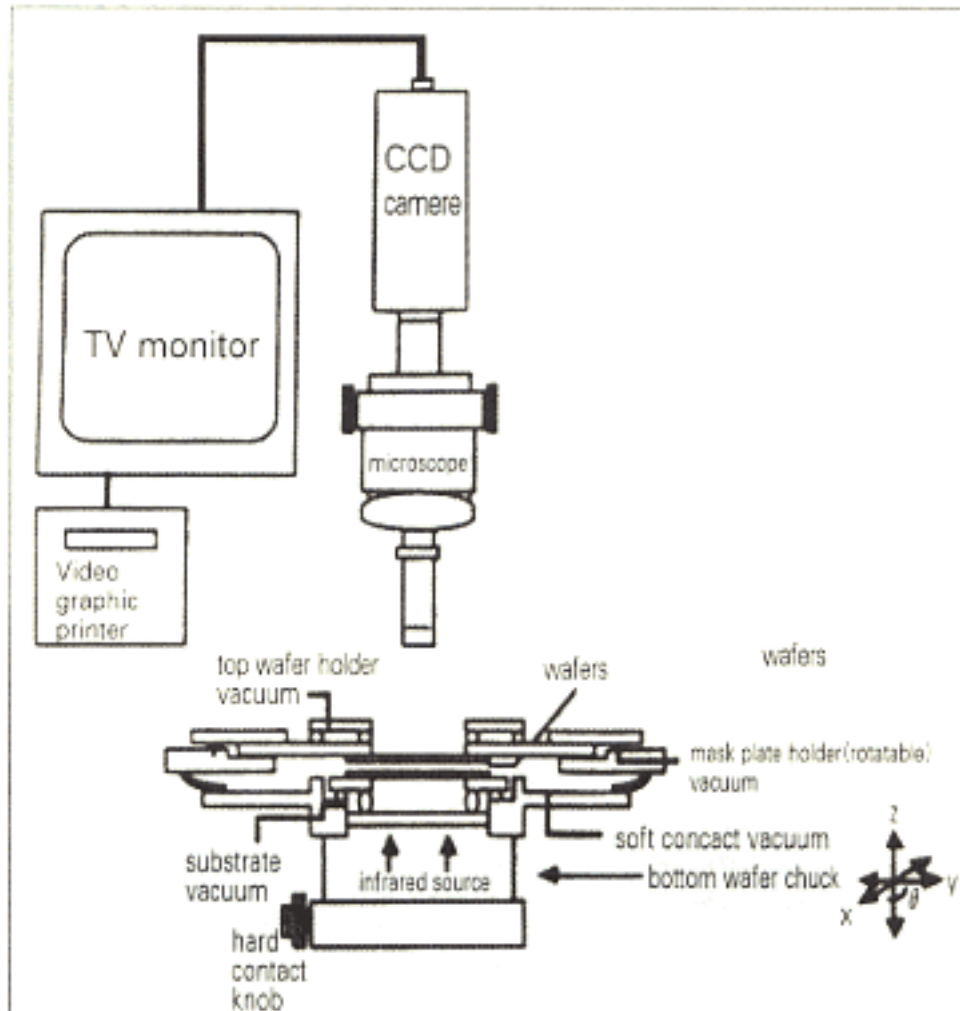
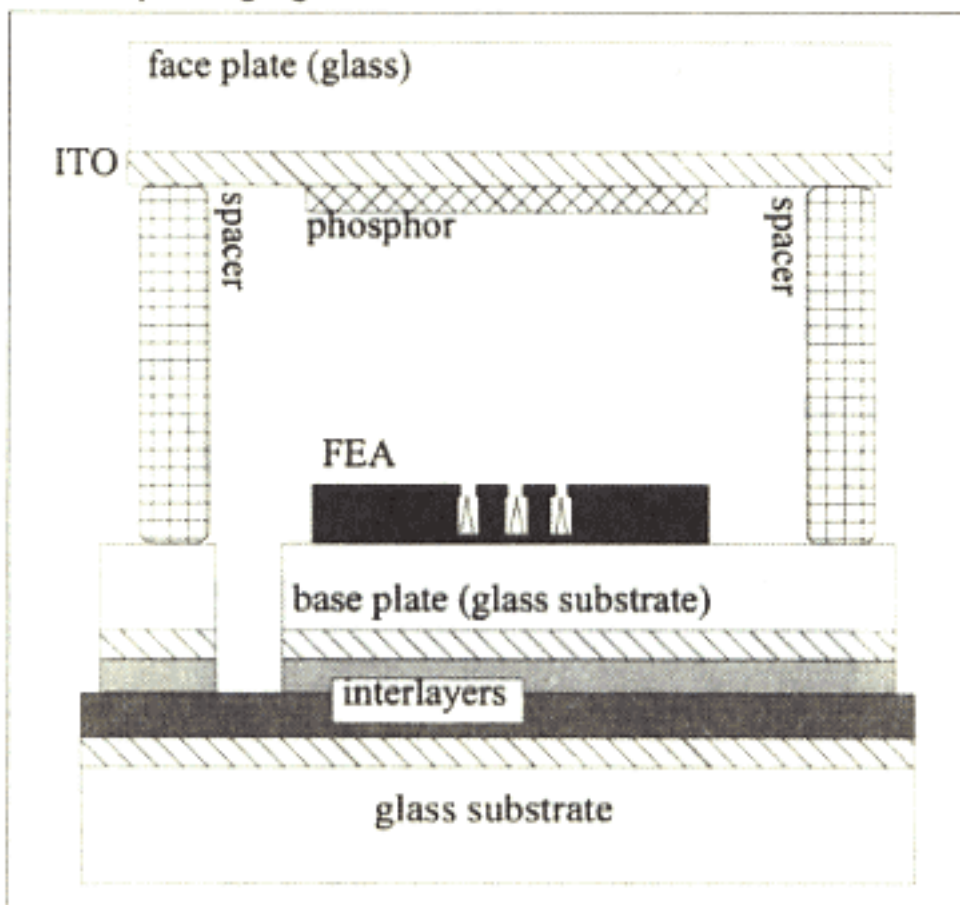


그림 4. 고진공 하에서의 정전 열 접합을 이용한 FED tubeless packaging 설명도



접합에 의한 packaging시 기판들간의 정렬 (alignment)을 필요로 하며, 이를 위한 방법들이 제안되고 있다. 우선, 두 기판 상에 구멍을 뚫고 이를 이용하여 정렬한 뒤 준비된 틀에 고정하여 접합하는 방법이 있는데 이는 오차가 50 $\mu$ m에 이른다. 다음

으로, 특수한 광학적 정렬기가 부착된 접합 장치를 사용하면 정합 오차를 약 2.5 $\mu$ m 정도까지 줄일 수 있는데, 이는 정렬용 V-groove와 IR 광원-CCD 카메라, 그리고 고안된 holder를 필요로 한다. 이 장치의 구조를 그림 3에 도시하였다. 이외에도 V-groove와 광섬유를 이용한 정렬법 등이 있다.

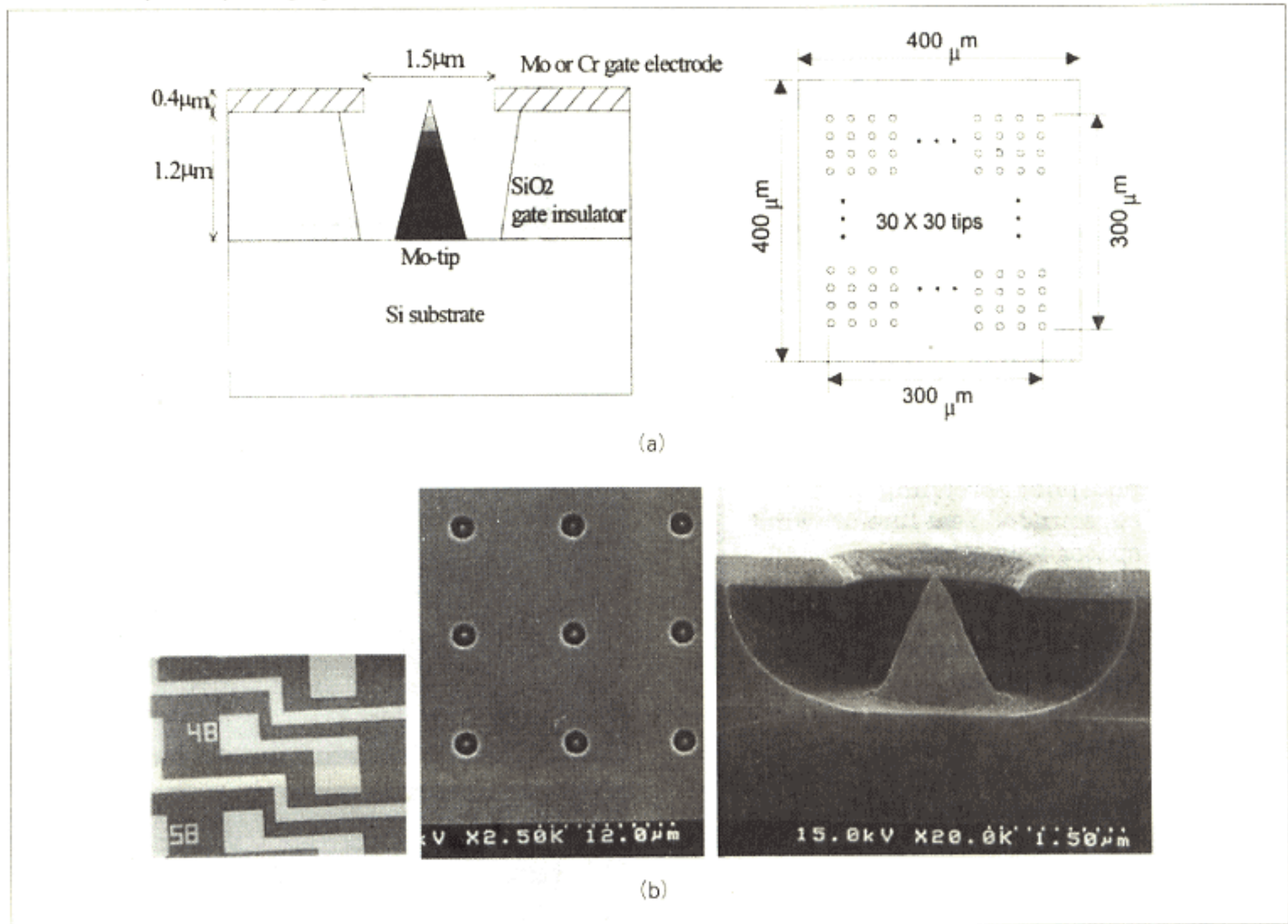
### 진공 접합 및 진공 밀봉/packaging 응용

전술한 바와 같이 진동자의 Q factor 향상, 절대 압력 센서의 기준압 설정, 그리고 기압형 IR 센서의 밀폐된 공동 형성이외에도 tunneling 소자나 전계방출 표시소자(FED)를 packaging 하는데 있어서도  $10^{-3} \sim 10^{-8}$  Torr 범위의 진공 밀봉이 요구된다. 이를 위한 방법들로는 표면 미세 가공에서 일부 적용되는 공정에 의해 소자 공정 중에 진공 내에서 자체적으로 밀봉된 구조를 형성하는 방법, 진공 내에서의 기판 접합 방법, 그리고 CRT 및 FED packaging에 적용되는 바와 같이 관(tube)을 통한 진공 pumping 과정 후에 cut-off를 하는 방법 등이 있다. 이와 함께 밀폐된 공동으로부터 외부로의 전기적 연결을 위한 feedthrough 관련 연구도 필요하다.

일반적으로 전계 방출 표시 소자(Field Emission Display : FED)를 진공 패키징하는 과정은 전계 방출 소자(Field Emitter Array : FEA)가 형성되어 있는 음극 기판과 형광체가 도포된 양극 기판을 정렬하여 고정시키는 작업으로부터 시작된다. 다음으로, 유리 프리트와 같은 접착 재료를 두 기판들의 가장자리에 두른 뒤, 이를 오븐 내에 넣고 450~600 $^{\circ}$ C의 온도에서 가열하여 프리트를 녹인 후 다시 상온으로 저속 냉각하여 밀봉이 일어나도록 한다. 밀봉된 패널은 오븐이나 진공 전기로 내에 넣고, 배기용 튜브를 통해 진공 펌프와 연결시킨 뒤 고진공 하에서 온도를 올려 out gassing을 유도하면서 장시간



그림 5. Mo-tip FEA packaging에 적용된 Mo-tip FEA의 규격(a) 및 모양(b)



동안 지속적으로 배기한다. 패널 내부의 진공도가 원하는 수준으로 유지되면 패널을 상온으로 냉각시킨 뒤 배기용 튜브를 가열하여 밀봉(seal-off)시킨다.

이때 FED 패널에 부착되는 배기관은 그 길이가 0.5~1cm 정도로 패널의 두께 이상이 되어 전체 패널의 두께를 감소시키는데 제약이 되며, 아울러 튜브의 가열, 밀봉 과정에서 발생하는 기체가 패널 내부로 유입되어 소자의 동작에 영향을 미치거나 수명을 감소시킬 소지가 있다. 따라서 그림 4에 보인 바와 같이 음극 및 양극 기판이 부착된 패널의 하부에 구멍을 뚫고 고진공 내에서 다른 기판을 이용하여 구멍을 막는 방법이 제안될 수 있는데, 이 경우 고려하여야 할 사항으로는 FED가 대부분 유리 기

판을 이용하므로 유리-유리 간 접합이 이루어져야 하며, 또한 반응 기체의 발생이나 오염 등을 방지하기 위해 고체 상태의 청정한 접합이 바람직하다. 이를 토대로 하여 박막 interlayer를 사용하여 정전 열 접합을 행함으로써 FED packaging시 pumping 시간의 단축과 out-gassing 문제의 해결, 그리고 보다 얇은 두께와 간단한 구조를 갖는 패널 도출을 이룰 수 있는 공정이 개발되었다.

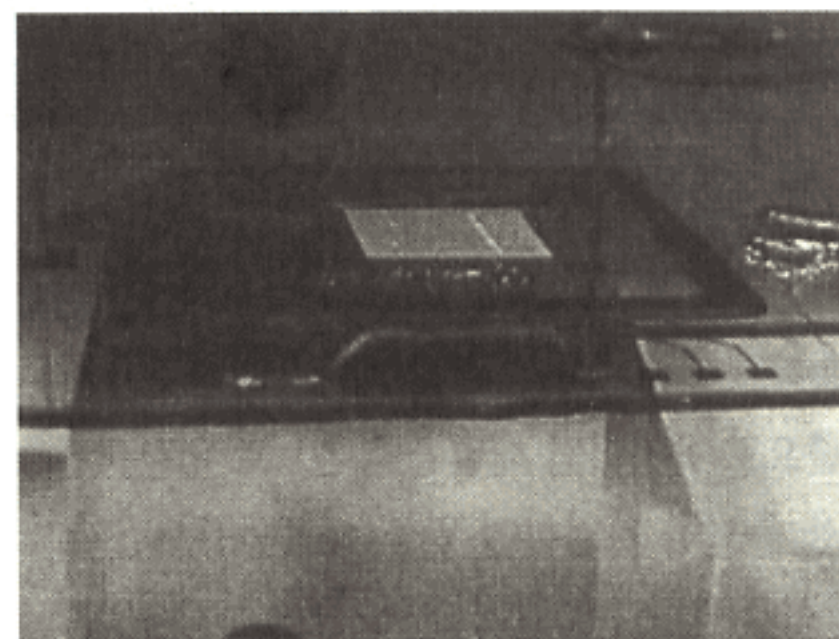
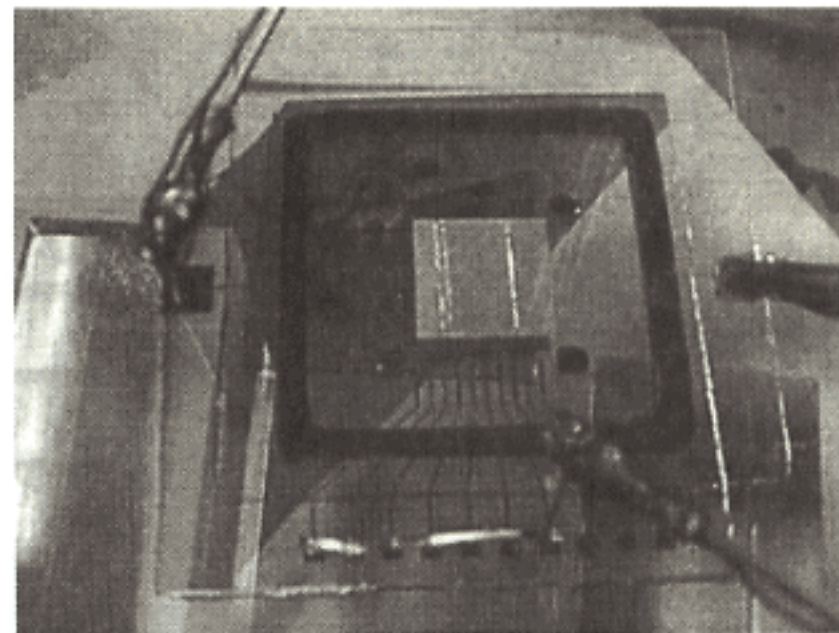
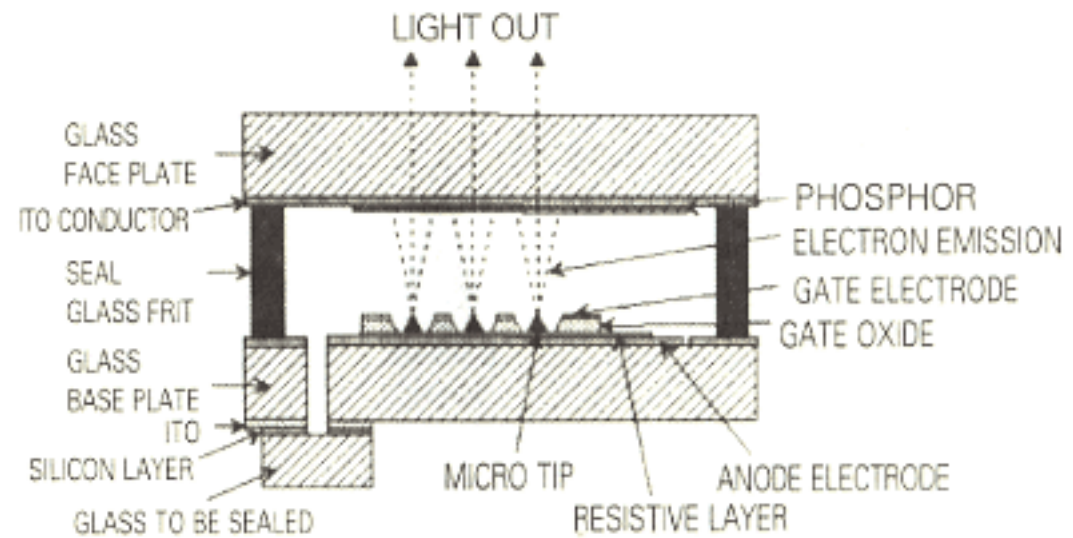
그림 5에 보인 Mo-tip FEA 소자를 지름 6mm의 hole과 음극용 Al 패턴이 가공되어 있는 soda-lime 기판 상에 indium paste를 이용하여 mounting한 뒤 gate wiring을 하고 ITO가 코팅되어 있는 상부 기판과 frit sealing을 하였다. 이때 Mo-tip과



그림 6. 진공-정전 열 접합을 응용한 FED tubeless packaging의 설명/구조도/동작 모양

**FED Assembly Step**

- a) FEA fabrication :
- b) Glass cathode machining  
exhausting hole  
electrode line deposition  
FEA mounting  
wire bonding
- c) Glass anode machining  
ITO coating and patterning  
phosphor screening  
surrounded seal line drawing  
spacer formation  
pre-grazing
- d) Alignment of anode and  
cathode plates
- e) Firing
- f) Si interlayer deposition
- g) Inserting of getter
- h) Loading into vacuum chamber
- i) Getter activation
- j) Vacuum electrostatic bonding  
with another bare glass



양극간의 거리는 가장자리의 유리 spacer를 이용하여  $200\mu\text{m}$ 로 유지하였으며, frit이 둘러진 면적은  $3 \times 3\text{cm}^2$ 가 되도록 하였다. 이와 같이 1차 조립된 패널을 capping 용 sodalime과 일정 거리만큼 분리하여 진공 챔버 내에 위치시킨 뒤 turbo pumping 하여 진공도를  $1.0 \times 10^{-6}$  Torr에 이르도록 한 상태에서 진공-정전 열 접합을 수행하였다. 이때 정전 열

접합 조건은  $250 \sim 300^\circ\text{C} - 250\text{V}_{\text{dc}}$ 로 설정하였다. FEA/FED의 조립 공정의 설명과 접합 공정이 완료되어 진공 실장된 FEA 패널의 구조도, 동작 모양을 그림 6에 보였다.

아울러, 이와 유사한 원리로 정전 열 접합 방법을 토대로 한 유리-실리콘-유리 다층 기관 접합 공정 및 유리-유리 진공 접합 공정을 이용하면 접합 공정만



그림 7. 유리-실리콘-유리 다층 기판 접합 공정(a) 및 구조물(b)

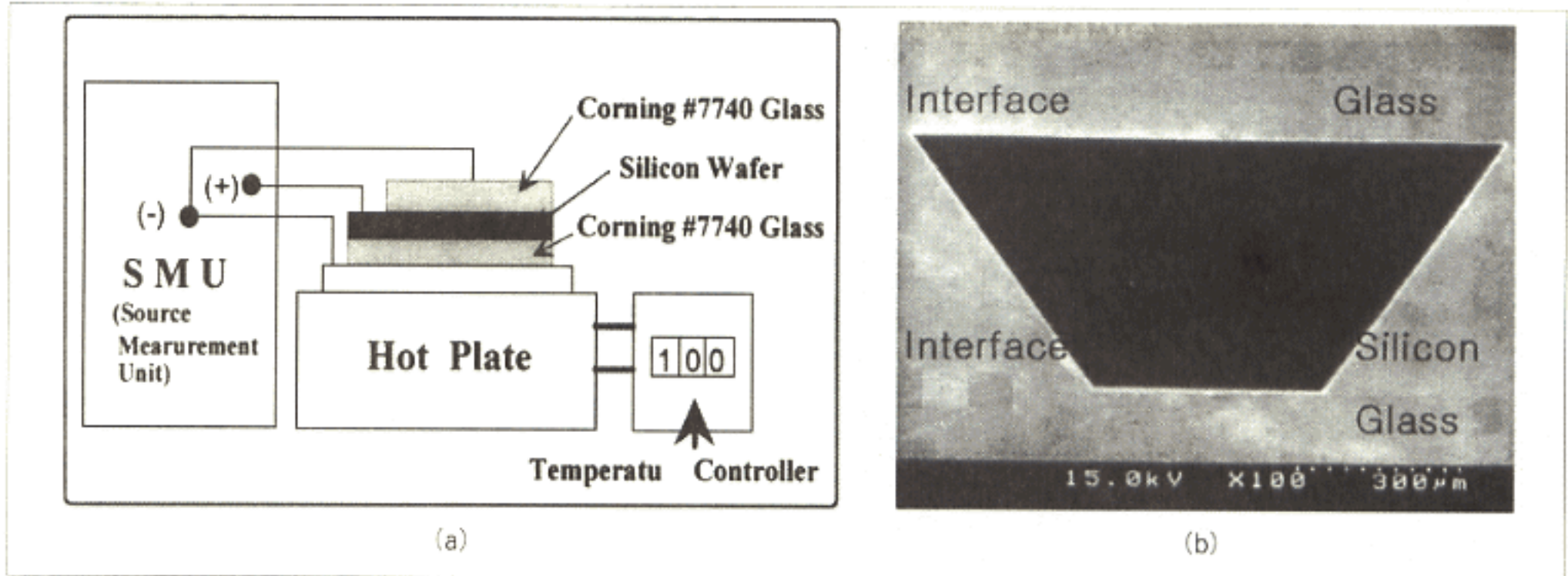
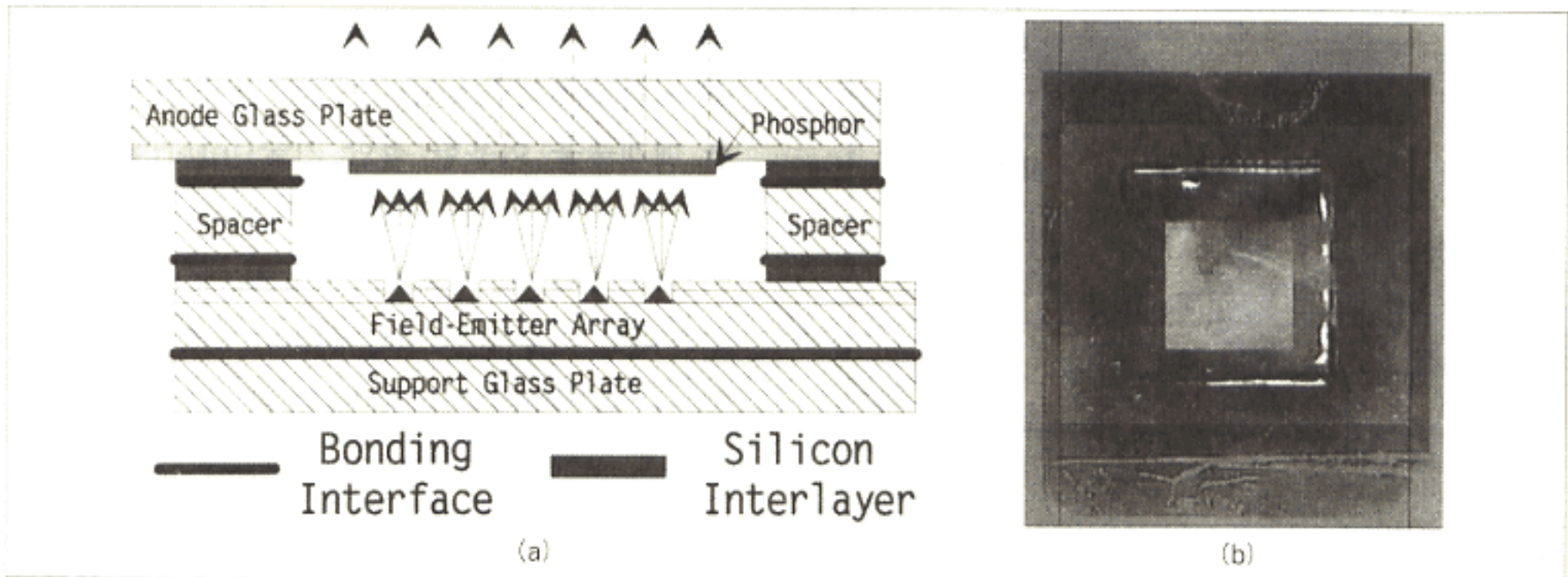


그림 8. 진공-다층-정전 열 접합에 의해 assembly/packaging된 진공 마이크로 전자 소자의 구조(a) 및 모양(b)



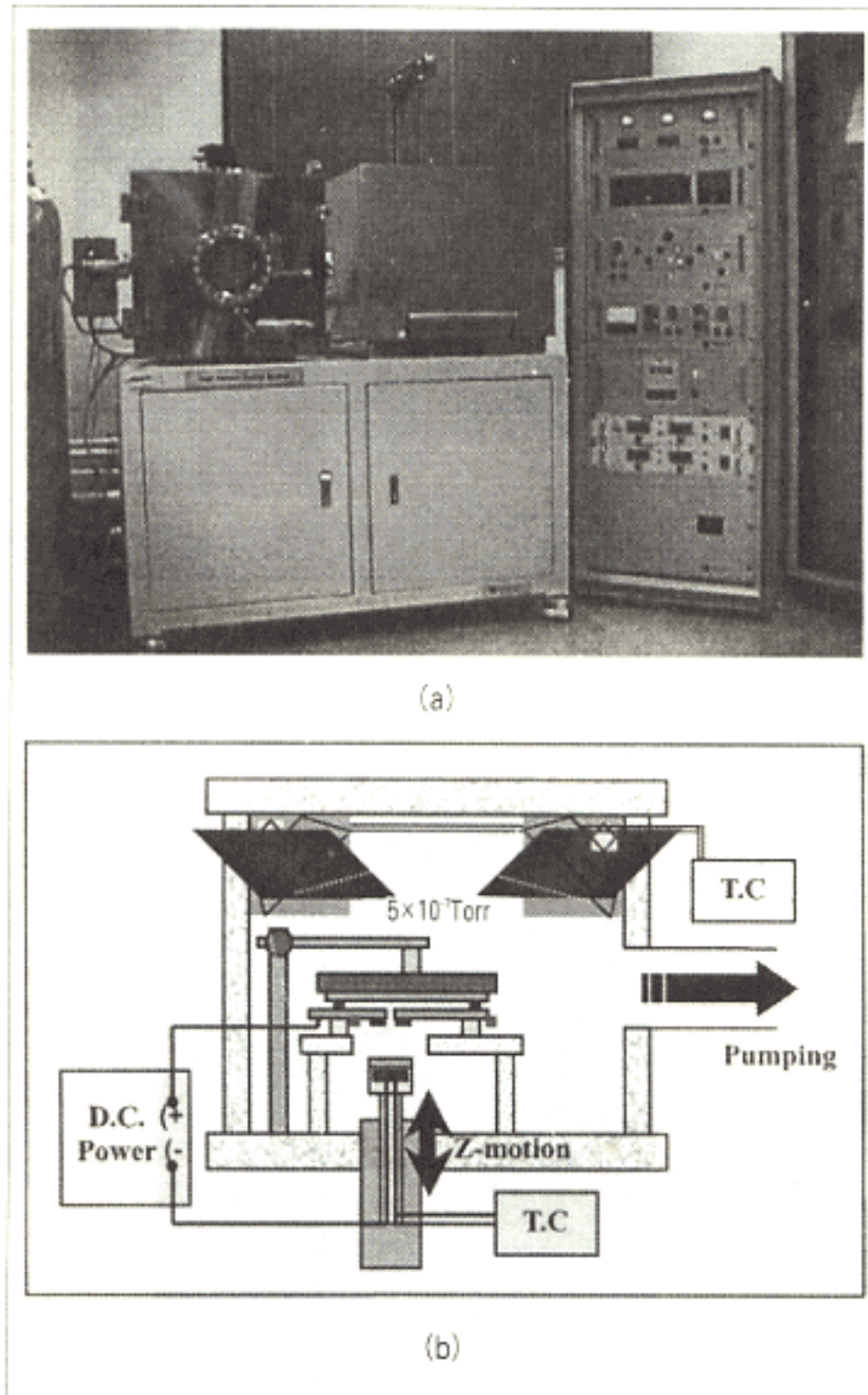
으로 진공 패키징된 마이크로 진공 소자를 제조할 수 있다. 즉, 전계 방출 소자(field emitter array : FEA)가 형성되어 있는 실리콘 기판을 하부의 지지용 유리 기판과 상부의 가공된 스페이서용 유리 기판과 다층 접합한 뒤 이와 같이 1차 가공된 구조물을 진공 내에서 투명 전극이 도포된 양극용 유리 기판과 정전 열 접합을 행하면 유리 기판을 양극으로 하는 마이크로 진공 3극관이 완성된다. 이러한 진공 3극관은 트랜지스터 형 능동 소자 이외에도 터널링 현상을 이용한 센서, 전계 방출 램프 및 나아가서는 전계 방출 표시 소자(field emission

display : FED)에 응용될 수 있다. 그림 7은 유리-실리콘-유리 다층 접합에 대한 공정도 및 구조물의 모양을 보인 것이고, 그림 8은 진공-다층-정전 열 접합에 의해 assembly/packaging된 진공 마이크로 전자 소자의 구성도 및 모양을 보인 것이다.

진공-정전 열 접합에 사용된 장비는 그림 9(a)에 나타내었는데, 이는 두 개의 진공 챔버로 구성되어 있다. 왼쪽 챔버의 경우  $10^{-7}$  Torr 급(TMP)에서 정전 열 접합을 할 수 있으며, 6인치 기판에 대해 할로겐 램프에 의해 상온~500℃ 범위의 온도 조절이 가능하고 전압은 0~600V<sub>dc</sub>의 전압을 인가할 수 있




그림 9. 진공 접합/packaging 장치의 모양(a) 및 챔버 내부 구조(b)



다. 오른쪽 챔버는 VFD(Vacuum Fluorescent

Display)의 packaging 공정을 모방하여 frit에 의한 진공 접합을 행할 수 있도록 설계되어 있다. 그림 9(b)는 진공-정전 열 접합용 챔버의 내부 구조도를 보인 것이다.

## 맺음말

청정 접합인 정전 열 접합과 실리콘-웨이퍼 직접 접합에 관한 메카니즘, 수정-보완된 공정 기술, 접합 특성의 평가 방법, 응용도, 그리고 초소형 정밀 기계(MEMS) 및 FED를 비롯한 진공 마이크로 전자 소자(vacuum microelectronic device)의 Packaging 적용 등에 관하여 폭 넓게 다루어 보았다. 기회가 있다면 MEMS/FED 응용성이 있는 중간 매개물을 이용한 접합 기술(intermediate-layer bonding technology)과 hermeticity의 유지 및 평가 방법, 진공 접합의 유용성, 접합을 이용하는 구조물 가공 공정, packaging 적용 일례들, 그리고 FED tubeless packaging에 있어서의 실제적인 연구 결과에 관하여 보완 기술하였으면 하는 바람이다. 본 내용이 기관 접합 및 이를 이용한 공정/packaging 기술 개발 관련 연구에 도움이 되었으면 한다. 

## 참고 문헌

- [1] Micromachining and Micropackaging of Transducers, edited by C.D.Fung et al., Elsevier Science Publishing Company Inc., New York, USA (1985).
- [2] B.K.Ju, Study on the Direct Bonding of Silicon Wafers for Microelectromechanical System, Ph.D.Thesis of Korea Univ. (1995.2).
- [3] Fundamentals of Microfabrication, edited by M.Madou, CRC Press, USA, pp.369-404 (1997).
- [4] M.A.Schmidt, Wafer-to-wafer bonding for microstructure formation, Proc. IEEE, vol.86, no.8, pp.1575-1585 (1998.8).
- [5] D.S.Eddy et al., Application of MEMS technology in automotive sensors and actuators, Proc. IEEE, vol.86, no.8, pp.1747-1755 (1998.8).
- [6] B.K.Ju et al., Glass-to-glass bonding for FED tubeless packaging application, Microelectronics Journal, vol.29, pp.839-844 (1998).



- [7] W.B.Choi et al., Anodic bonding technique under low temperature and low voltage using evaporated glass, J.Vac.Sci.Tech-nol. vol.B15, no.2, pp.477-481 (1997. 3/4)
- [8] B.K.Ju et al., Si-Si electrostatic bonding using electron beam-evaporated Corning #7740 as an interlayer, Trans.KIEE, vol.46, no.10, pp.1562-1572 (1997.10).
- [9] W.B.Choi et al., Experimental analysis on the anodic bonding with an evaporated glass layer, J.Micromech.Micro-eng. vol.7, pp.316-322 (1997).
- [10] B.K.Ju et al., Electrostatic bonding between Si and ITO-coated #7059 glass substrates, J.Korean Sensor Society, vol.7, no.3, pp.211-217 (1998.5).
- [11] J.W.Jeong et al., Electrostatic bonding of silicon-to-ITO coated #7059 glass using Li-doped oxide interlayer J.Kor.Phys.Soc. (to be published).
- [12] B.K.Ju et al., Improvement of bonding properties by pre-bonding at room temperature in Si-glass electrostatic bond-ing process, Trans.KIEE, vol.47, no.8, pp.1269-1276 (1998.8).
- [13] D.J.Lee et al., Novel bonding technology for hermetic sealed silicon micropackage, Jpn.J.Appl.Phys. (to be published).
- [14] B.K.Ju et al., Electrstatic bonding between two ITO-coated glass for FED tubeless packaging applications, Trans.KIEE, vol.47, no.7, pp.1057-1061 (1998.7).
- [15] B.K.Ju et al., New vacuum packaging method of field emission display, SPIE Vol.3242, pp.246-252 (1997).
- [16] G.Wallis et al., Field assisted glass-metal sealing, J.Appl.Phys., vol.40, no.10, p.3946 (1969).
- [17] M.Esashi et al., Low-temperature silicon-to-silicon anodic bonding with intermediate low melting point glass, Sensors and Actuators, vol.A21-A23, p.931 (1990).
- [18] W.B.Choi et al., Glass-to-glass bonding for vacuum packaging of field emission display in an ultra-high vacuum chamber using silicon thin film, J.Electrochem.Soc. (to be published).
- [19] B.K.Ju et al., Sodalime-to-sodalime electrostatic bonding using only Si interlayer and its application to FEA pack-aging, Trans.KIEE (submitted).
- [20] J.W.Jeong et al., Tubeless packaging pf field emission display using glass to glass electrostatic bonding technol-ogy, J.Vac.Sci.Tech. (submitted).
- [21] Q.Y.Tong et al., Low temperature wafer direct bonding, J.Microelectromechanical Systems, vol.3, no.1, p.29 (1994.3).
- [22] B.K.Ju et al., Interfacial oxide growth and filling-up behaviour of the micro-gap in silicon fusion bonding process-es, J.Materials Science, vol.28, pp.1168-1174 (1993).
- [23] B.K.Ju et al., Study on the bonding interface in directly-bonded Si-Si and Si-SiO<sub>2</sub>/Si wafer pairs, Korean J.Materials Research, vol.4, no.2, pp.127-135 (1994).
- [24] B.K.Ju et al., "On the anisotropically-etched bonding interface of the directly bonded (100) silicon wafer pairs," J.Elec-trochem.Soc., vol. 142, no.2, pp.547-553 (1995.2).
- [25] B.K.Ju et al., Condition and new testing method of interfacial oxide films in directly bonded silicon wafer pairs, J.KITE, vol.32-A, no.3, pp.527-535 (1995.3).
- [26] B.K.Ju et al., A study on low-temperature bonding of glass-silicon using modified direct method, Trans.KIEE, vol.46, no.3, pp.450-455 (1997.3).
- [27] Canon introduces SOI-EPI wafer, Solid State Technology, p.44 (1997.9).
- [28] B.K.Ju et al., "Fabrication of Si membrane using fusion bonding and two-step electrochemical etch-stopping," J.Mate-rials Science, vol.29, pp.664-668 (1994).
- [29] B.K.Ju et al., Formation of silicon diaphragm using silicon-wafer direct bonding/electrochemical etch-stopping and its application to silicon pressure sensor fabrication, J.Korean Sensor Society, vol.3, no.3, pp.45-53 (1994.10).
- [30] M.Bartek et al., Vacuum sealing of micro-cavities using metal evaporation, Proc.Eurosensors X, Leuven, Belgium, p.263 (1996.9).
- [31] M.Esashi et al., Vacuum-sealed silicon micromachined pressure sensors, Proc.IEEE, vol.8, no.8, pp.1627-1639 (1998.8).
- [32] Lee Branst et al., The challenge of flat panel display sealing, Semiconductor International, p.109 (1996.1).
- [33] B.K.Ju et al., Fabrication of Mo-tip field emitter array and diamond-like carbon coating effects, J.KIEME, vol.11, no.7, pp.508-516 (1998.7).
- [34] B.K.Ju et al., FED tubeless packaging by vacuum-electrostatic bonding, 9th Conf.Sensor Technology (to be presented).