

# SOI 기술 및 응용

최근까지 SOI(Silicon-On-Insulator) 웨이퍼는 제한된 규격과 높은 가격으로 인해 특수 용도로서 소규모 단위로 사용되어 왔다. 하지만 품질의 향상, 규격의 다양성, 그리고 가격 하락 등으로 인해 그 응용 분야를 급속하게 확대해 가고 있다. 특히 고속·고집적 반도체 소자와 함께 MEMS 및 디스플레이 분야에서의 요구는 SOI 기술의 진일보를 요구하고 있으며, 향후 정보통신 소자를 중심으로 SOI의 응용성 및 시장규모는 더욱 확대될 전망이다. 이번 회에는 SOI 구조의 정의 및 발전과정, 특징 및 용도, 제조공정, 응용분야, 시장 및 발전 전망을 개관하는 동시에 SOI 구조를 이용한 MEMS 소자 및 기판 전달 공정 분야에 대한 응용성까지 모색한다.〈편집자 주〉

글: 주병권/KIST 디스플레이 및 나노 소자 연구실  
jbk@kist.re.kr, <http://diana.kist.re.kr>

SOI(Silicon-On-Insulator) 구조에 있어서 소자들은 절연체(주로 실리콘 산화막)에 의해 상호 분리되고 아울러

실리콘 기판과도 직접 연결되지 않는다. 이러한 절연 구조에서는 기생 정전 용량은 물론 소자들 간의 간섭

(crosstalk)도 줄어들기 때문에 스위칭 속도, 전류 이득, 고전압 내구성, 그리고 소비전력 등에 향상을 가져올 수 있다. 아울러, 기판 부분에서의 에너지 여기에 의해 발생된 캐리어들이 매몰 산화막(buried oxide layer)에 의해 차단되기 때문에 고온 동작이 가능하고, 외부로부터의 방사선 입사로 발생하는 소프트 에러에 대한 우려도 해소할 수 있다. 따라서 SOI 기판은 고속, 저전력, 고전압, 고내구성 소자를 제조하기 위한 수단으로서 효과적으로 이용할 수 있으며, 이와 함께 MEMS(Micro-Electro-Mechanical Systems) 소자 제작과 기판 전달 공정(Substrate Transfer Process)의 수단으로서의 응용성도 기대되고 있다.

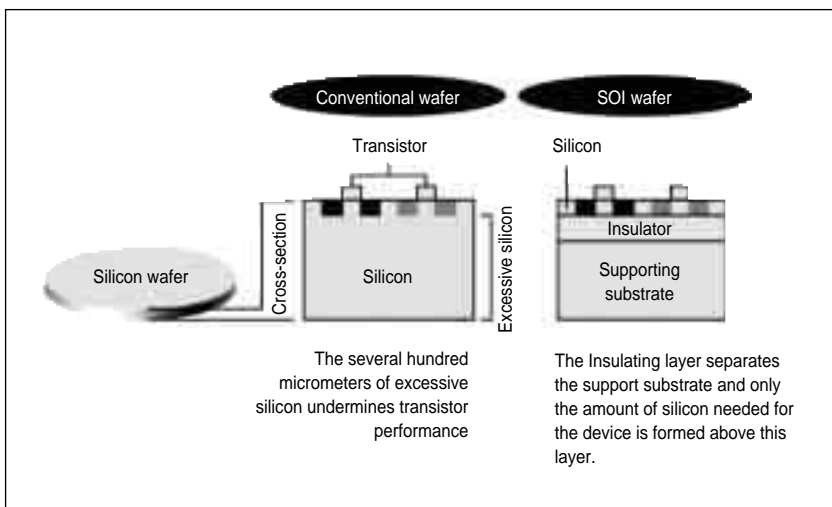


그림 1. 실리콘 기판과 SOI 기판과의 구조 비교

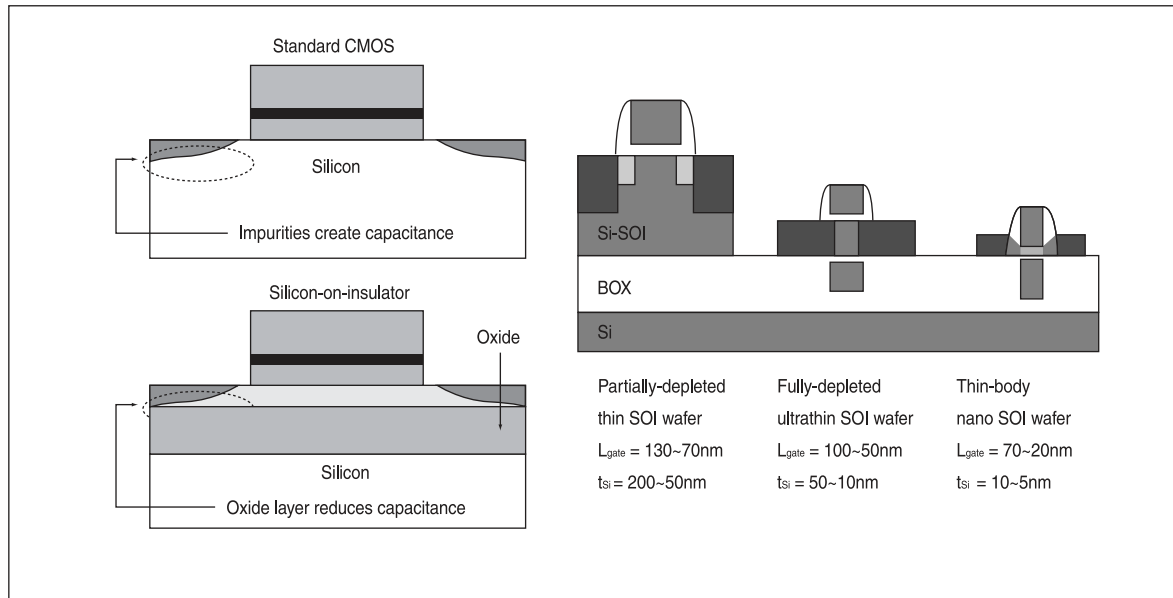


그림 2. 일반적인 MOSFET와 SOI-MOSFET의 구조

본고에서는 SOI 구조의 정의 및 발전과정, 특징 및 용도, 제조공정, 응용분야, 그리고 시장 및 발전 전망 등에 대해 다루고자 한다. 특히 이를 통해 MEMS 소자 및 기관 전달 공정 분야의 응용성까지 모색하고자 한다.

## 정의 및 발전과정

SOI 구조는 좁은 의미에서 실리콘 웨이퍼 기관 위에 실리콘 산화막이 절연막으로서 성장되어 있고, 그 위에 단결정 실리콘이 형성된 구조를 의미하며, 넓은 의미로는 기관과 절연막의 종류에 무관하게 최상부에 단결정 실리콘 층이 형성된 구조를 포괄한다. SOI 구조의 기본 개념은 정전용량 성분을 가능한 줄이고 소자의 전기적 절연을 완벽하게 하고자 하는 시도에서 비롯되었으며, 이를 그림 1에 설명했다.

이러한 SOI 기술은 1960년대에 SOS(Silicon-On-Sapphire)가 연구된 것을 기점으로 하여 시작되었으며, 1980년대 초반에 이르러 연구개발이 보다 활발해지기 시작했다. 하지만, 이 시기에는 결정 결함이나 응력, 그리고 두께의 균일성 등과 같은 기술적 장벽을 극복하기가 어려웠다. 초기에는 레이저나 할로겐 램프 등

을 이용해 다결정 실리콘 층을 재결정화시키는 공정(ZMR, Zone-Melting-and-Recrystallization)이 주로 사용되었다. 이외에도 다공질 실리콘의 산화, 실리콘의 측면 에피택셜 성장, 비정질 실리콘의 재결정화 등이 시도되고, 이를 통해 간단한 소자들이 제조되어 왔으며, 기술적 경쟁 과정을 통해 선택된 기술들이 현재 SOI 구조의 제품화에 적용되고 있다.

즉, 산소 이온 주입 후 열처리 과정에 의한 SIMOX (Separation by IMplantation of OXYgen) 기술, 산화막이 성장된 실리콘 웨이퍼를 직접 접합한 후에 연마 과정을 거치는 BESOI(Bond and Etch back SOI) 기술, 접합된 웨이퍼가 연마되지 않고 이온 주입된 영

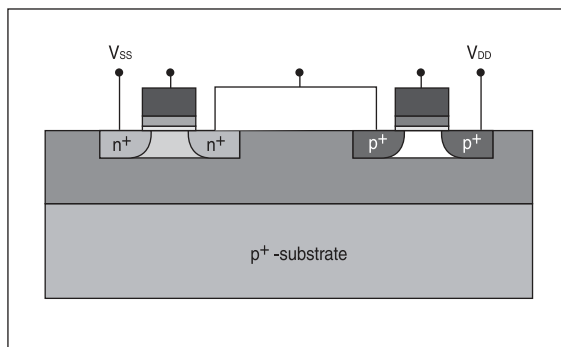


그림 3. SOI 구조를 이용한 n-채널 및 p-채널 MOSFET의 전기적 절연

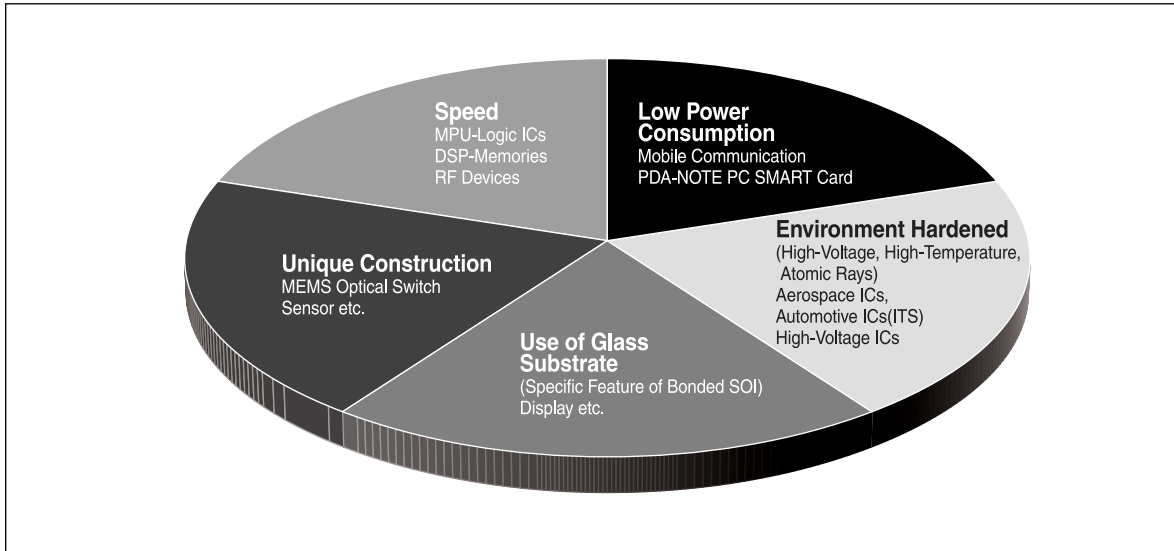


그림 4. SOI 구조의 특징 및 응용 분야

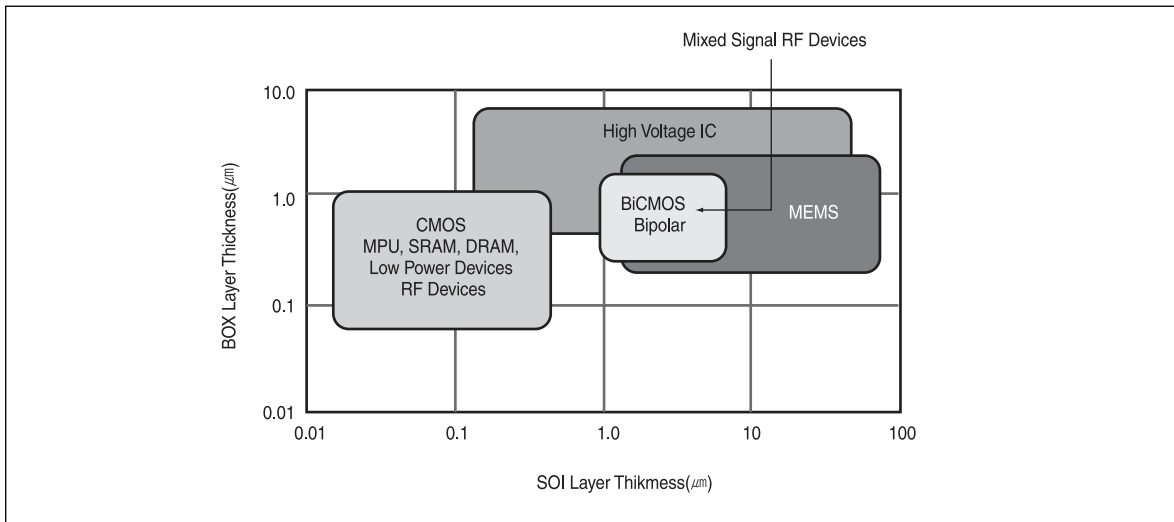


그림 5. 상부 실리콘 층(SOI Layer)과 매몰 산화막(BOX layer)의 두께에 따른 SOI 구조의 용도

역 등을 통해 분리되도록 하는 Smart Cut (UNIBOND) 기술, 그리고 다공질 실리콘 위의 에피택시 및 웨이퍼 접합 후 절단 공정을 특징으로 하는 ELTRAN(Epitaxial Layer TRANSfer) 기술 등이 이에 해당한다.

## 특징 및 용도

MOSFET(Metal-Oxide-Semiconductor Field

Effect Transistor)은 대부분의 집적회로에 있어서 기본 구성 요소(basic building block)가 되며, 이를 토대로 하여 SOI 구조의 특징을 살펴보면 다음과 같다.

그림 2에 보인 바와 같이 일반적인 n-채널 MOSFET(Si-MOSFET)에서 실리콘 기판의 두께는 mm 단위를 가지며,  $n^+$  층으로 형성된 소스와 드레인의 깊이는  $0.1\mu\text{m}$  정도이다. 게이트 절연막의 아래 부분은 공핍층으로 양 단자에 인가된 전압에 의해 전계가 형성되어 있으며, 공핍층 아래는 중성 영역에 해당한

다. 또한, 인접 소자와는 역방향으로 바이어스된 pn 접합에 의해 전기적으로 절연되어 있다.

함께 보인 SOI 구조에 있어서, 실리콘 층의 두께가  $0.3\mu\text{m}$  정도인 경우에는 공핍층 아래에 약간의 중성 영역이 존재하는 부분 공핍 구조(PDSOI-MOSFET, Partially-Depleted SOI MOSFET)가 되며, 실리콘 층의 두께가  $0.1\mu\text{m}$  이하에 이르게 되면 공핍층이 매몰 산화막(BOX layer, Buried OXide layer)과 맞닿게 되어 중성 영역이 존재하지 않는 완전 공핍 구조(FDSOI-MOSFET, Fully-Depleted SOI MOSFET)가 이루어진다. 또한, 이러한 SOI 구조에서는 인접 소자와의 절연이 그림 3에 보인 바와 같이 절연막을 사이에 두고 이루어져 있다.

FDSOI MOSFET을 대상으로 하여 SOI 구조가 제공할 수 있는 장점은 다음과 같다. 즉, 접합 정전용량(junction capacitance)과 배선 용량 등을 줄일 수 있어 총 정전용량의 값이 15~30% 정도가 감소되어 고속 동작이 가능하다. 또한, 문턱전압 곡선의 기울기를 급격하게 하여 문턱전압의 값을 줄이고, 스위칭 동작을

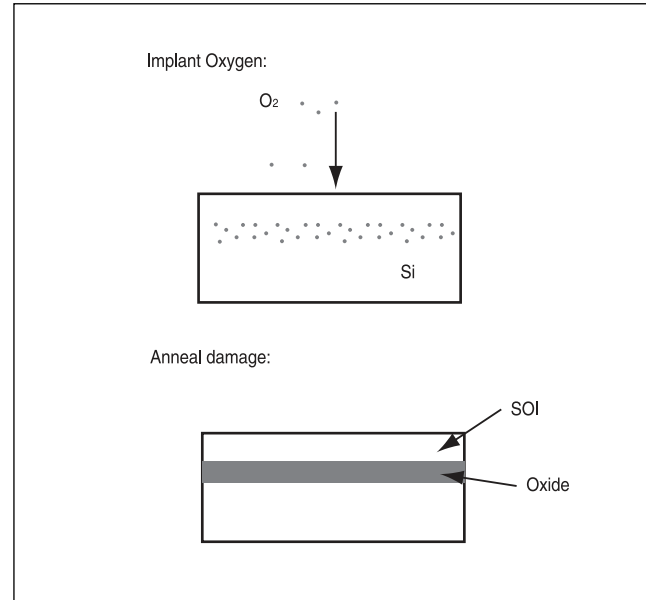


그림 6. SIMOX 공정

향상시키며, 저전압에서 전류 수송 능력을 증가시킴과 동시에 누설 전류를 줄일 수 있다. 뿐만 아니라 온도가 증가하더라도 누설 전류 값과 문턱전압의 변화가 낮아

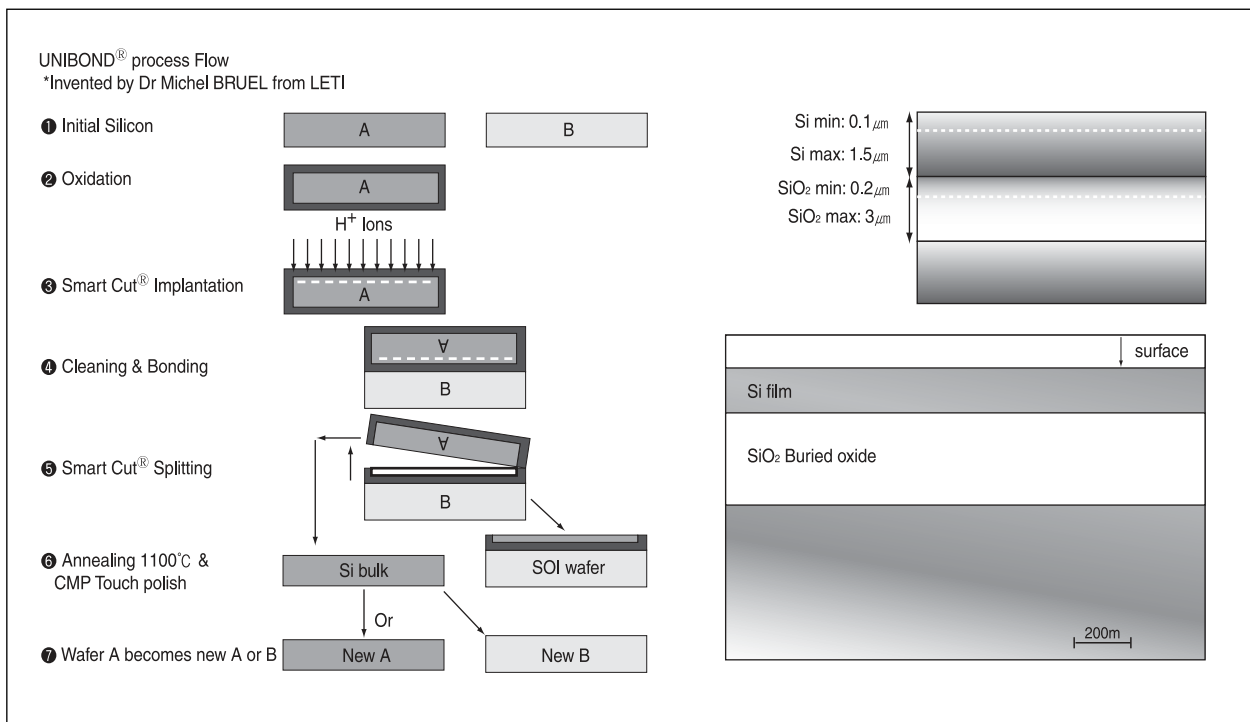


그림 7. Smart Cut 공정도 및 SOI 구조의 단면 모양 (SOITECH)

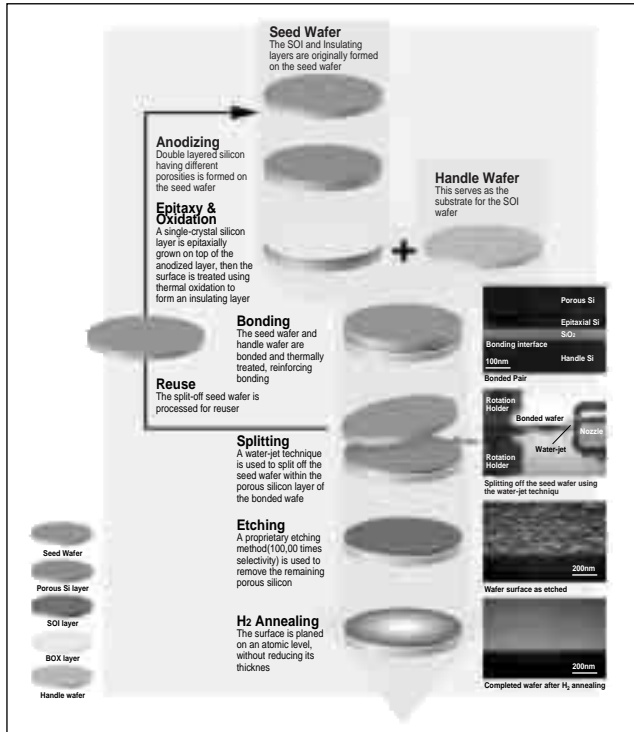


그림 8. ELTRAN 공정 (Canon)

500℃에 이르는 높은 온도에서도 소자가 동작할 수 있으며, 방사선과 같은 외부로부터의 여기 에너지도 견딜

수 있다.

그림 4에 SOI 구조의 특징과 이를 바탕으로 한 응용 소자들을 나타내었다. 이를 통해 SOI 소자가 고속, 고전압, 고온 동작을 비롯하여, 저전력소모, 고집적도, 방사선에 대한 고내구성 등을 특징으로 한다는 것을 알 수 있다.

한편, 상부 실리콘 층의 두께를 기준으로 하여 용도를 구분할 수도 있는데, 1 $\mu$ m 이상은 thick-SOI, 1 $\mu$ m ~ 0.1 $\mu$ m 영역은 mid-SOI, 0.1 $\mu$ m ~ 10nm 영역은 thin-SOI, 그리고 10nm 이하는 nano-SOI로 일컬어진다. 이때 thick-SOI는 고전력 소자나 MEMS용으로 사용되고, mid-SOI와 thin-SOI는 각각 PDSOI 소자와 FDSOI 소자를 기반으로 하는 경우에 사용되며, nano-SOI는 나노 스케일의 극소형 소자나 양자 소자에 사용될 수 있다. 그림 5에 매몰 산화막 층과 상부 실리콘 층의 두께에 따른 응용 분야를 나타내었다.

## 제조 방법

SOI의 제조 및 생산을 위해 다양한 공정들이 시도되어 왔으며, 현재에 이르기까지 제품화 기술로 발전하여

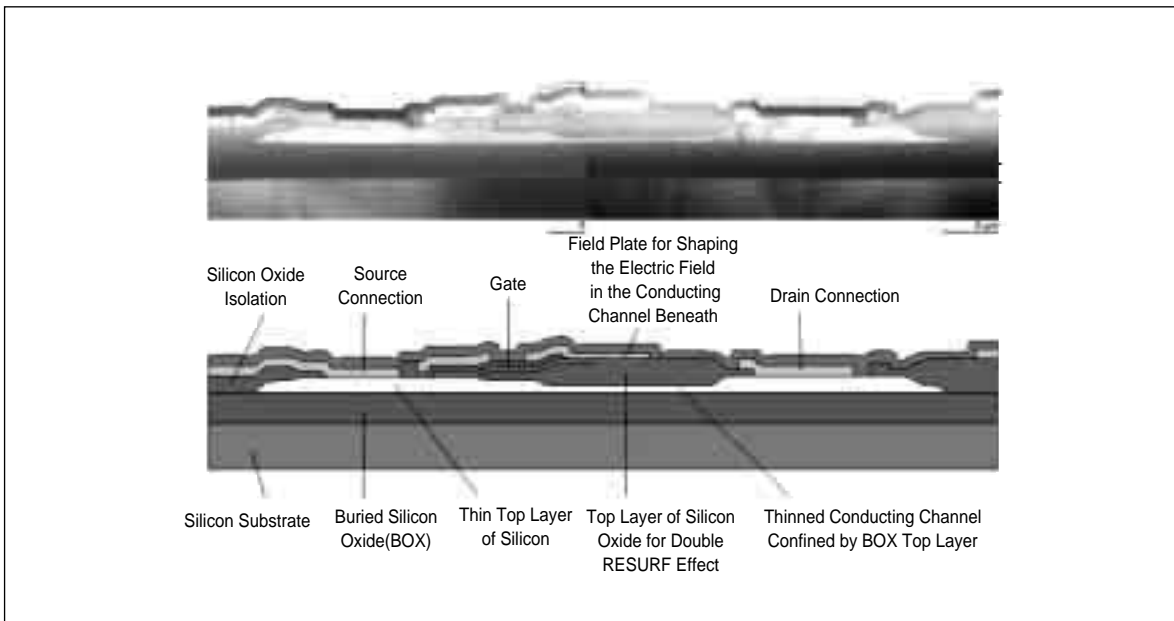


그림 9. SOI 기판을 이용한 고전력용 LDMOS의 구조 (Philips)

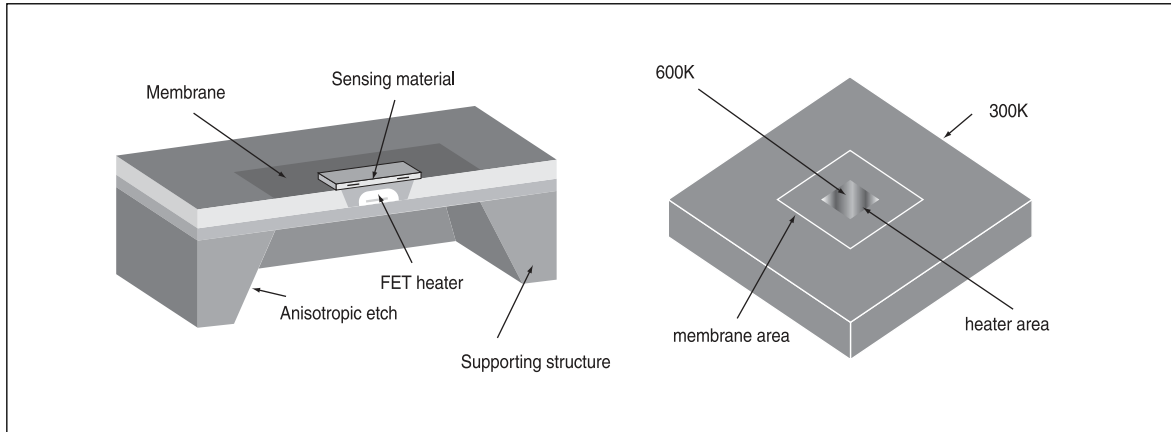


그림 10. SOI 기판 위에 제작된 고온 동작용 압력센서의 구조

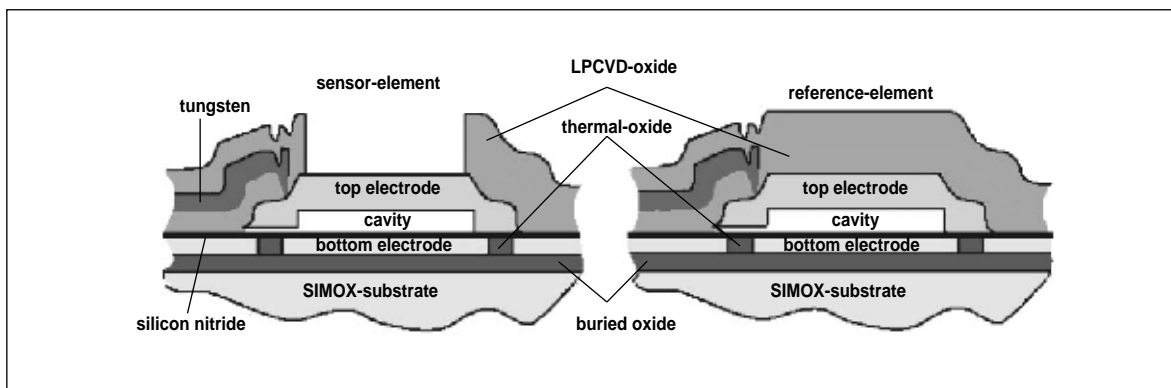


그림 11. 매몰 산화막을 식각 정지층으로 사용한 가스 센서의 구조 및 온도 분포

경쟁력을 갖춘 제조 방법으로는 SIMOX, BESOI, Smart Cut, 그리고 ELTRAN 등을 들 수 있다. 발전 과정을 살펴보면, SIMOX가 기술을 주도하여 왔으나, 최근 1990년대에 들어서면서 웨이퍼 접합(wafer bonding) 기술이 발달하면서 접합 후 가공을 특징으로 하는 BESOI 기술이 경쟁 기술로서 등장했다. 뒤를 이어 기계적 가공보다는 기판 분리 공정을 통해 상부 실리콘 층의 두께 조절 및 균일도를 향상시키고자 하는 시도로서 SOITEK과 Canon에 의하여 Smart Cut 및 ELTRAN 기술이 각각 개발되었다.

SIMOX 방법은 그림 6에 보인 바와 같이 실리콘 웨이퍼의 내부로 산소를 높은 농도(dose  $\sim 2 \times 10^{18}$  atoms/cm<sup>2</sup>)로 이온 주입시키는 과정과 이온 주입 후에 실리콘 층의 결정성을 복구하기 위해 1,300℃ 정도에서 고온 열처리를 하는 과정으로 이루어진다. 이러

한 열처리 과정은 실리콘 내부에 존재하는 매몰 산화막의 화학적인 반응을 촉진시켜 안정화 상태에 이르도록 하는 역할도 한다. SIMOX의 경우, 실리콘 층과 매몰 산화막의 두께는 각각 0.25μm와 0.35μm 정도로 특히 thin-SOI의 제조에 유리한 것으로 판단된다.

웨이퍼 접합을 이용하는 방법은 공정 가격이 저렴하고, 매몰 산화막이나 실리콘 층이 두꺼울 경우에 유리하나, 두께 조절 및 균일도에서 한계가 있다. 이는 열 산화막이 성장된 실리콘 웨이퍼와 다른 실리콘 웨이퍼를 Van der Waals 힘에 의해 초기 접합을 하는 것에서 시작된다. 다음으로 접합 강도를 증가시키고 재료적인 연속성을 갖도록 1,000℃ 이상에서 열처리 과정을 거치는데, 이러한 공정은 실리콘 웨이퍼 직접 접합(SDB, Silicon wafer Direct Bonding)으로 알려져 있다. 접합 후에 한 쪽 실리콘 웨이퍼를 CMP(Chemical-

Mechanical Polishing) 과정 등을 거쳐 실리콘 층의 두께가  $1\mu\text{m}$  정도 수준에 이를 때까지 연마하는데, 이때 두께의 균일도는 10~20% 정도로 나타난다. 균일도를 향상시키거나  $1\mu\text{m}$  이하의 두께를 얻기 위해서는 BESOI 방법이 적용되며, 일정 부분에서 식각을 정지

시키는 공정이 적용된다. 식각 정지층으로는 붕소, 실리콘-게르마늄, 탄소, 혹은 다공질 실리콘 층들이 이용되며, 플라즈마 식각을 사용하기도 한다.

Smart Cut 방법의 경우, 이온 주입과 SDB를 함께 이용한다. 즉, 한 장의 실리콘 웨이퍼 위에 매몰 산화막

으로 사용될 열 산화막을 성장 시킨 후, 산화막을 통과하도록 수소 이온을  $3.5 \times 10^{16} \sim 1 \times 10^{16} \text{ H}^+/\text{cm}^2$  정도 주입하여 분리될 층(Smart Cut layer)을 형성한다.

다음으로, 다른 실리콘 웨이퍼와 초기 Van der Waal 접합을 하고, 초기 접합된 웨이퍼에 대해 2단계의 열처리 과정을 거친다. 1단계 열처리는  $400 \sim 600^\circ\text{C}$ 에서 이루어지는데, 이때 이온 주입 부분을 경계로 하여 실리콘 기판이 떨어져 나게 되며, 다음 단계로서 질소 분위기에서  $1,100^\circ\text{C}$ -2시간 정도의 고온 열처리를 하여 접합 강도를 벌크 실리콘의 파괴 강도인  $2.5\text{J}/\text{m}^2$ 에 이르기까지 증가시킨다.

마지막으로, CMP 공정에 통해 거칠어

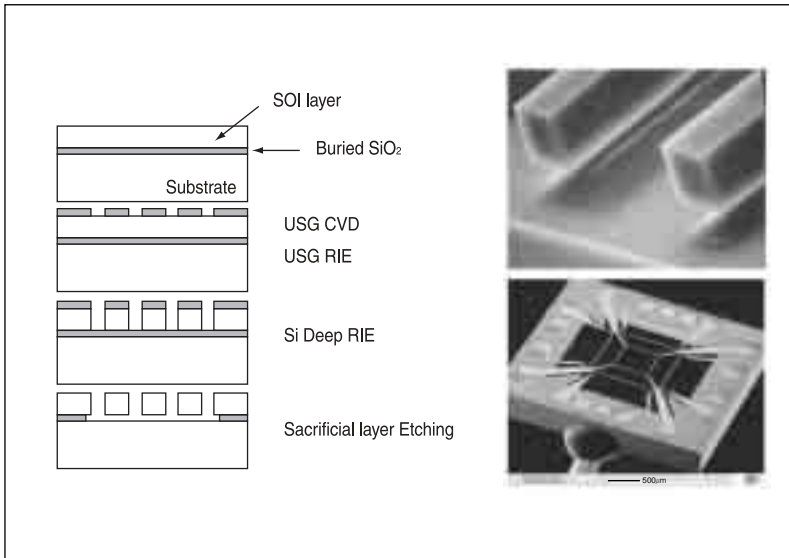


그림 12. Thick-SOI를 이용한 표면 미세 가공 공정도 및 응용 일례

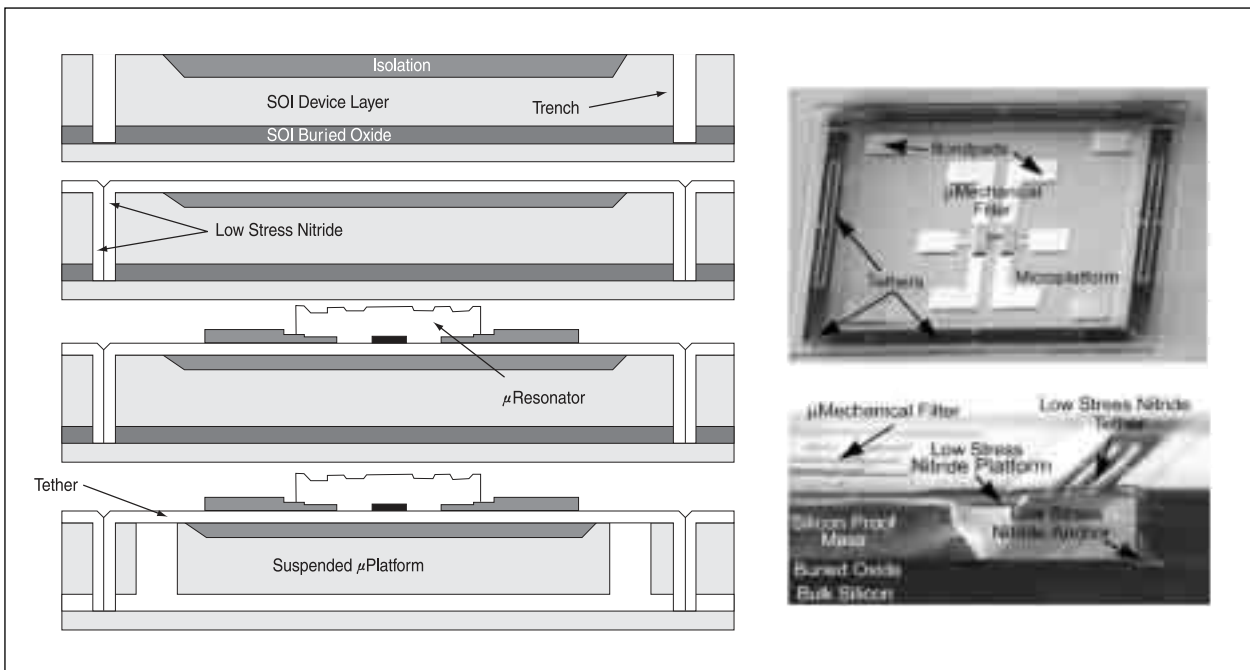


그림 13. Thick-SOI의 미세 가공을 이용한 RF 모듈의 제작

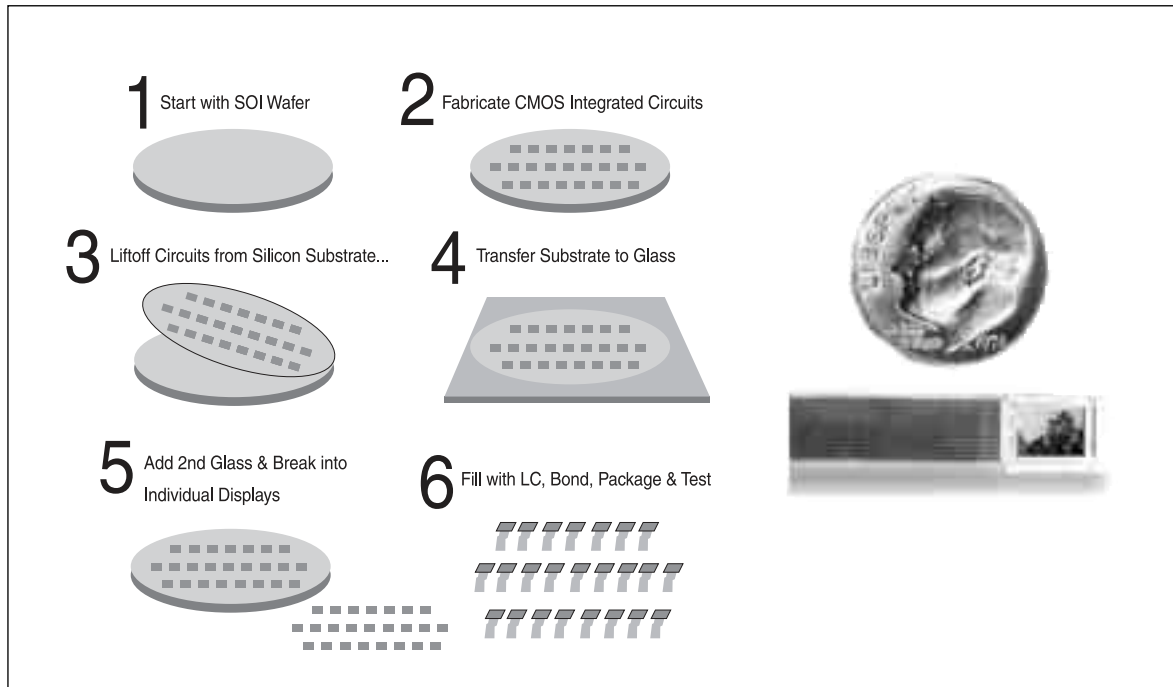


그림 14. SOI 웨이퍼를 통한 x-SOG 기판 전달 공정 및 마이크로 디스플레이 응용 (Kopin)

진 표면을 경면 연마한다. 그림 7에 Smart Cut의 공정 과정과 이를 통하여 제조된 SOI 구조의 단면 모양을 함께 나타내었다.

ELTRAN의 공정 순서도를 그림 8에 나타내었다. 즉, 양극 반응에 의하여 실리콘 기판 위에 다공질 실리콘 층을 형성한 뒤, 이 위에 단결정 실리콘 층을 에피택시한다. 다음으로 단결정 실리콘 층 위에 열 산화막을 성장시켜 이를 다른 실리콘 웨이퍼와 직접 접합하고, 다공질 실리콘 층을 경계로 하여 접합된 웨이퍼를 측면 절단한다. 잔류한 다공질 실리콘 층을 식각하여 제거한 뒤, 수소 열처리 과정을 통하여 거친 표면을 평탄화한다. 이러한 공정은 water-jet를 이용한 손상 없는 절단, 절단된 웨이퍼의 재사용, 그리고 수소 열처리를 통한 평탄화 과정 등을 특징으로 한다.

## 응용 분야

현재까지 SOI 구조는 주로 고속, 고전압, 고온 동작 등을 위한 집적회로에 응용되어 왔으며, 앞으로도 고속 동작을 특징으로 하는 분야에 더욱 활발히 적용될 것이

자명하다. 이와 함께 MEMS 분야에서 매몰 산화막을 식각 정지층이나 희생층으로 이용하고, 상부 실리콘 층을 구조층으로 하는 시도도 활발히 이루어지고 있으며, 기판 전달법을 이용하여 상부 실리콘 층만을 유리 기판으로 전달 함으로써 마이크로 디스플레이나 SOD(System-On-Display)를 구현하는 과정도 이루어지고 있다. 즉, 집적회로는 SOI 구조의 전기적인 특징을 적극 활용하며, MEMS와 디스플레이에서는 각각 SOI 구조의 기계적인 특징과 재료적인 특징을 활용하는 것이라고 말할 수 있다.

반도체 집적회로의 경우, 고속 및 고전력 소자의 응용이 대표적이며, 특히 IBM의  $0.18\mu\text{m}$  이하 선평의 CMOS(Complementary MOS)나 Philips의 LDMOS(Lateral Double-diffused MOS) 등을 예로 들 수 있다. 그림 9에 SOI 기술을 이용한 Philips의 LDMOS 구조를 나타내었는데, 상부 실리콘 층의 두께가 매우 얇으므로 개별 트랜지스터들에 대해 실리콘 산화막으로 이루어진 우물을 간단히 형성할 수 있다. 이로 인해 고전력 소자들이 매우 높은 밀도로 집적화될 수 있고, 주변 회로들과도 전기적으로 완전히

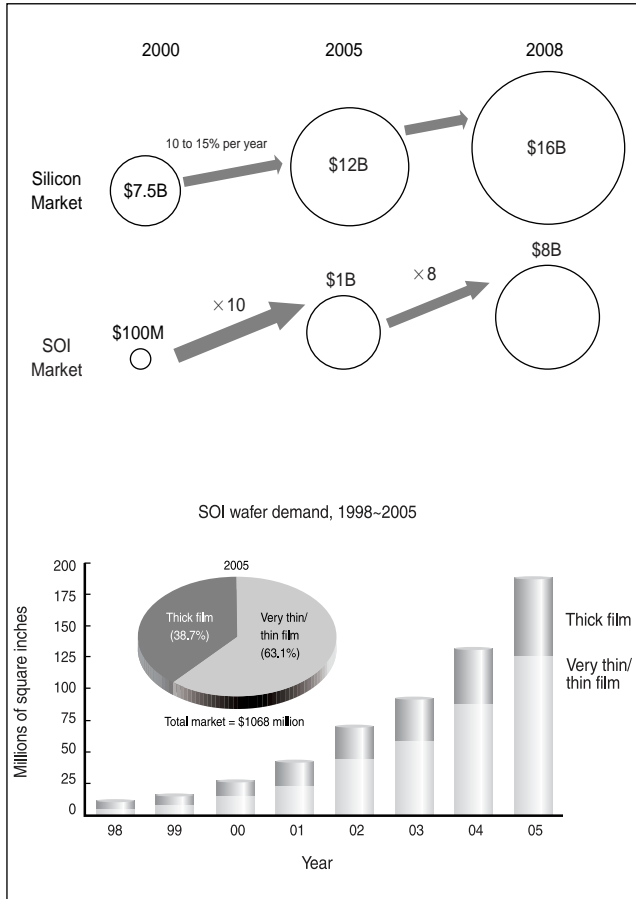


그림 15. SOI 시장의 현황 및 예측(Gartner Dataquest)

절연될 수 있으므로 고전력 소자로서의 장점을 가질 수 있다.

MEMS의 경우에도 집적회로와 마찬가지로 SOI 구조를 이용하면 고속, 고전압, 고온 동작 특징을 활용할 수 있다. 아울러, 몸체 미세가공(bulk micromachining)에서 매물 산화막 층을 식각 정지층으로 이용할 수 있으며, 매물 산화막과 실리콘 층을 각각 희생층과 구조층으로 하여 표면 미세가공(surface micromachining)을 할 수도 있다. 그림 10은 SOI 구조를 이용한 고온 동작용 압력센서로서, SOI 기판 위에서 표면 미세 가공을 행하여 제작되었으며, 정전용량의 변화로서 압력을 감지하도록 설계되어 있다. 이 센서는 CMOS 회로가 함께 집적화되어 있으며, 250℃에 이르는 고온에서도 동작이 가능한 것으로 측정되었다.

고온 동작이 가능하다는 특징과 함께 몸체 가공에 있

어서 매물 산화막을 식각 정지층으로 사용한 경우를 그림 11에 보였다. 이는 마이크로 가스 센서로서, 300℃의 고온에서도 동작이 가능하며, 두께 1μm의 얇은 실리콘 다이아프램을 제조하기 위해 웨이퍼의 뒷면으로부터 깊은 결장 의존성 식각을 진행하여 매물 산화막에서 식각이 정지되도록 했다. 가열원으로부터의 온도 분포를 볼 때 다이아프램부와 주변부 간의 열적 절연이 완전하게 이루어지고 있음을 알 수 있다.

그림 12에 보인 바와 같이 thick-SOI 구조를 이용하여 매물 산화막을 희생층으로 하고 실리콘 층을 구조층으로 하여 표면 미세 가공을 하게 되면, 구조층의 전기 및 기계적 특성의 다양화는 물론 매우 정교한 가공 프로파일과 우수한 성능 재현성을 얻을 수 있다. 실리콘 층의 두께가 6~10μm인 thick-SOI를 표면 미세 가공하여 얻은 2차원 센서용 구조체를 함께 나타내었는데, 기하학적 치수가 정확하고 미세하게 정의되었음을 알 수 있다.

그림 13은 thick-SOI의 미세 가공 기술이 보다 정교하게 적용된 일례로서, RF(Radio Frequency) 소자와 트랜지스터 회로를 모듈화시키기 위한 마이크로 플랫폼을 제작하는 과정이다. 공정을 살펴보면, 상부 실리콘 층의 두께는 10~20μm이며, 매물 산화막에 이르기까지 트렌치를 만들고 트렌치 부분을 포함한 앞면 영역에 저응력 실리콘 질화막을 도포한다. 다음으로 앞면의 정의된 영역에 소자(공진기, 필터)를 제조한 뒤, 희생층에 해당하는 매물 산화막을 제거하게 되면 전기적으로 절연이 되면서 기계적인 자유도를 갖게 된다. 이러한 과정을 거쳐 제작된 플랫폼의 모양을 함께 나타내었다.

디스플레이 분야의 경우, 유리 기판 위에 단결정 실리콘 소자를 탑재하기 위해 기판 전달 공정을 통한 x-SOG(Single Crystal On Glass) 구조가 개발되고 있다. 그 일례로서 Kopin에서는 그림 14와 같이 SOI 구조를 사용하여 CMOS 회로를 제조한 뒤 리프트-오프(lift-off)에 의해 실리콘 기판을 제거하고, 소자가 형성되어 있는 단결정 실리콘 막을 투명한 유리 기판으로 이동하는 방법을 통하여 마이크로 디스플레이를 제작한다.

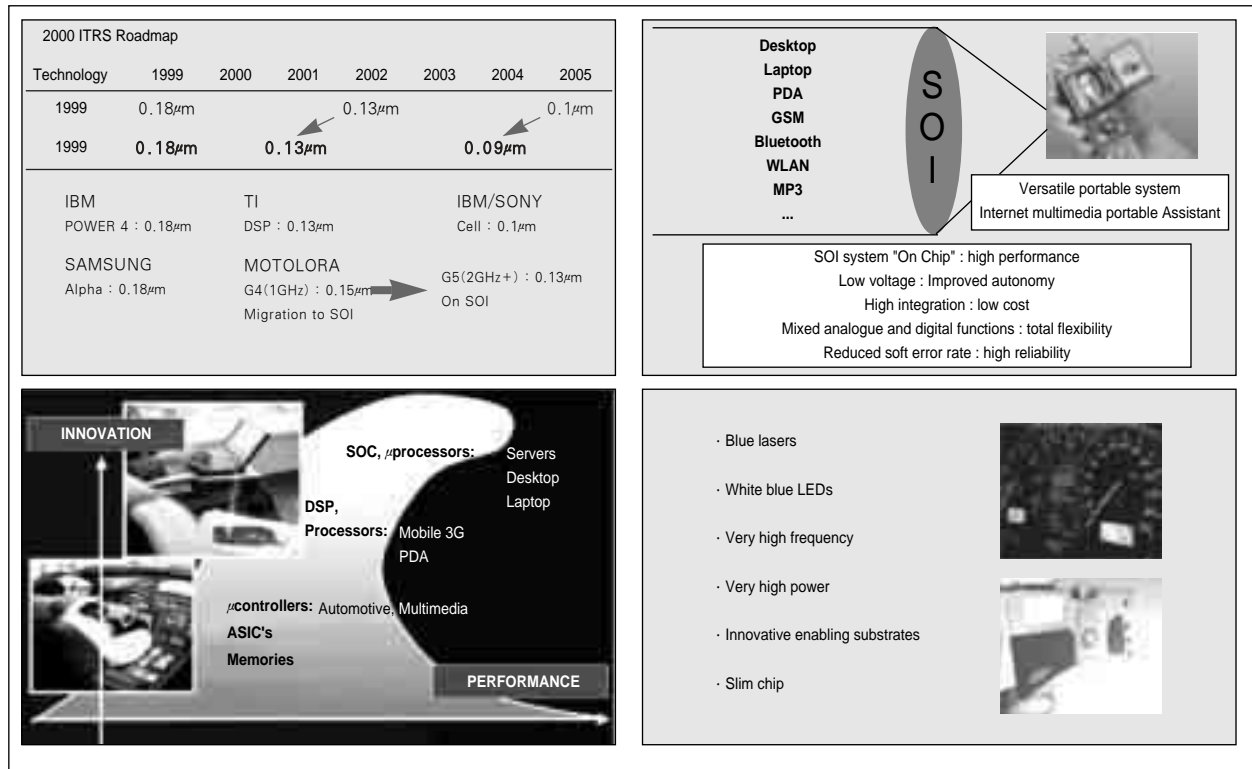


그림 16. SOI 기술의 혁신적인 응용 일례

이러한 기관 전달법에는 특히 Smart Cut 기술이 효과적으로 활용될 수 있는데, 원리적으로는 여러 종류의 단결정 층을 매우 다양한 기관 위로 전달할 수 있다. 그러나 이를 위해서는 이온 주입 후의 층 분리, 기관 표면과의 점착성 및 열처리에 대한 내구성, 그리고 접착 후의 응력 완화 등의 문제점들이 해결되어야 한다. 현재까지 발표된 흥미 있는 결과로서, 단결정 실리콘 층이 형성된 유리나 석영 기관, SiC 층이 형성된 실리콘 기관, 단결정 GaAs 층이 형성된 실리콘 기관 등이 있다.

## 시장 및 발전 전망

시장 분석에 있어서 Gartner Dataquest의 분석 및 예측 결과를 그림 15에 나타내었다. 2000년에서 2008년에 이르는 기간 동안에 실리콘 웨이퍼 시장규모가 매년 10~15% 정도의 성장을 유지한 것에 비해 SOI 웨이퍼 시장규모는 2000년을 기준으로 2005년에는 10배, 2008년에는 80배까지 성장할 것으로 전망

하고 있다. 2005년도의 시장규모는 총 10억 달러 정도로 실리콘 웨이퍼 시장의 1/12에 해당하며, 2008년에 이르면 1/2에 육박할 정도로 급속하게 성장할 것으로 예측된다.

SOI 웨이퍼에서 실리콘 층의 두께에 따른 점유 분포를 그림 15에 함께 나타내었는데, 그 용도가 군수, 항공, 우주 등과 같은 제한된 영역으로부터 통신, 가전 부문에 이르기까지 확대됨에 따라 집적회로용 thin-SOI 웨이퍼의 소비량이 급속히 증가할 것으로 보이며, 이와 함께 고전력 소자 및 MEMS용으로 이용되는 thick-SOI 부분도 점진적인 증가를 계속할 것으로 분석되고 있다.


SOI 웨이퍼의 가격은 실리콘 웨이퍼의 가격을 기준으로 예측할 수 있다. 따라서 200mm 직경의 실리콘 웨이퍼의 가격이 급락하면서 2004년에는 SOI 웨이퍼의 가격이 실리콘 웨이퍼 가격의 4배 정도면 가능할 것으로 예측할 수 있으며, 이러한 가정을 토대로 하면 2005년의 SOI 웨이퍼 시장은 10.68억 달러로 산출

된다.

SOI 기술의 미래는 기존에 입지를 굳히고 있는 고속·고전력 반도체 집적회로 시장에 혁신적인 응용 기술이 추가됨에 따라 그 전망이 더욱 밝아질 것으로 예상된다. 이러한 혁신 기술에는 MEMS 및 디스플레이 응용 기술들도 포함될 뿐만 아니라 그림 16에 나타내었듯이 0.1μm 레벨의 초고집적화를 지향하는 차세대 반도체 소자, SoC(System-on-a-Chip) 개념에 바탕을 둔 저소비전력·고신뢰성·고집적·저가격·휴대용 정보통신 시스템, 메모리에서 마이크로프로세서로 발전하는 초고속·고집적 정보처리 시스템, 그리고 신개념 광전, 초고주파, 고전력, 초슬림형 소자 등이 포함되어 있다. 이러한 응용 분야들을 충족시키기 위해서는 SOI 웨이퍼 자체 기술도 진일보해야 하는데, 결과적으로 경면 실리콘 웨이퍼에 필적하는 품질과 대량 생산 체제, 그리고 합리적인 가격대가 형성되어야 한다.

## 맺음말

SOI 웨이퍼에 대하여 특징, 제조 방법, 응용 분야, 시장, 발전 방향 등을 다루어 보았다. 제한된 규격과 높은 가격으로 인해 특수한 용도로서 소규모 단위로 사용되어 오던 시점은 지나고, 품질의 향상, 규격의 다양성, 그리고 가격 하락이라는 추세가 그 응용도를 빠르게 넓혀 가고 있다. 고속·고집적 반도체 소자와 함께 MEMS 및 디스플레이 분야에서의 요구는 SOI 기술의 진일보를 요구하고 있으며, 향후 정보통신 소자를 중심으로 SOI의 응용성 및 시장규모는 더욱 확대될 전망이다.

이러한 현실을 감안해 SOI 관련 자체 기술의 개발과 함께 응용성 확보를 위한 폭넓은 노력이 전개되기를 기대해 본다. 

## 참고자료

- K.Kasten et al., "High temperature pressure sensor with monolithically integrated CMOS readout circuit based on SIMOX technology," Proc. Transducers'01, pp.510-513 (2001.6.)
- A.Wong et al., "A bonded-micro-platform technology for modular merging of RF MEMS and transistor circuits," Proc. Transducers'01, pp.992-995 (2001.6.)
- J.Gardner et al., "SOI-based micro-hotplate microcalorimeter gas sensor with integrated BiCMOS transducer," Proc. Transducers'01, pp.1688-1691 (2001.6.)
- T.Ogawa, "At long last, SOI wafer market on the move," Solid State Technology, pp.62-65 (2001.2.)
- S.Billat et al., "Convection-based micromachined inclinometer using SOI technology," Proc. IEEE-MEMS'01, pp.159-161 (2001.1.)
- M.Current et al., "What is the future of sub-100nm CMOS: Ultrashallow junctions or ultrathin SOI?," Solid State Technology, pp.66-77 (2000.9.)
- A.Kamgar et al., "Isolation's path to SOI technology," Solid State Technology, pp.109-118 (1999.10.)
- J.Colinge, "Silicon-on-insulator technology: past achievements and future prospects," MRS Bulletin, vol.23, no.2, pp.16-19 (1998.12.)
- M.Bruehl, "The history, physics, and applications of the Smart-Cut process," MRS Bulletin, vol.23, no.2, pp.35-39 (1998.12.)
- A.Herve, "Silicon-on-insulator," European Semiconductor (1997.3.)
- <http://www.canon.com/eltran>
- <http://www.kopin.com>
- <http://www.semiconductors.philips.com/news/backgrounders/bg9901.html>
- <http://www.soitec.com>
- <http://www-3.ibm.com/chips/bluelogic/showcase/soi>